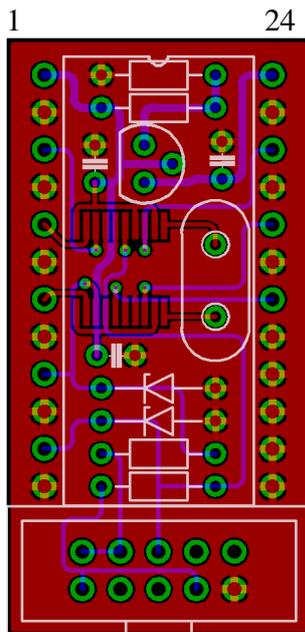


Über die Software kann man wählen, ob Einstellungen in das interne EEPROM oder in RAM-Register übertragen werden. In vielen Fällen wird man das EEPROM wählen und den Oszillator dann in ein Gerät einbauen. Wenn sich dann aber später zeigt, dass die gewählte Frequenz geändert werden sollte, ist dies jederzeit möglich. In anderen Fällen wird man von vornherein Frequenzänderungen einplanen und eine fest installierte Verbindung zum PC verwenden, der dann von Fall zu Fall neue Daten ins RAM überträgt.



| | | | |
|----|---------------|--------|----|
| 1 | Ausgang 3,3 V | +5 V | 24 |
| 2 | GND | GND | 23 |
| 3 | Clock1 | Clock6 | 22 |
| 4 | GND | GND | 21 |
| 5 | Clock2 | Clock5 | 20 |
| 6 | GND | GND | 19 |
| 7 | Clock3 | Clock4 | 18 |
| 8 | GND | GND | 17 |
| 9 | SCL | GND | 16 |
| 10 | GND | GND | 15 |
| 11 | SDA | GND | 14 |
| 12 | GND | GND | 13 |

Das Platinenlayout ist an ein 24-poliges DIL-IC angelehnt. Man kann also passende Stiftreihen bestücken und den Oszillator in eine IC-Fassung stecken. Nur der 10-polige Pfostenstecker für den Anschluss an die DB9-Buche der seriellen Schnittstelle ragt an einer Seite über die IC-Fassung hinaus. Dieser Anschluss wird aber nur benötigt, wenn eine neue Frequenz programmiert werden soll. Die Anschlüsse SDA und SCL zur Programmierung des Clockbausteins sind aber auch an die IC-Fassung geführt. Ohne Änderung kann man daher auch einen Mikrocontroller mit geeigneter Software zur Programmierung verwenden. Tabelle 1 zeigt die Anschlüsse des Clockbausteins.

Für die Programmierung benötigt man das Programm Clock.exe. Vor allem für speziellere Einstellungen wird zusätzlich das Programm CyberClocks benötigt, das man auf der Cypress-Seite www.cypress.com findet.

Einstellungen in CyberClocks

Für die Programmierung des Bausteins bereitet man zunächst mit CyberClocks die gewünschten Einstellungen vor. Wichtig ist die Eingabe der verwendeten Quarzfrequenz, die Wahl des

Ausgangs oder der Ausgänge und die jeweils gewünschte Frequenz. Bild 2 zeigt ein Beispiel für die Verwendung des Ausgangs CLK5. Die Einstellungen werden dann als Binärfile abgespeichert. Das File enthält alle Registerinhalte für die gewählten Einstellungen und muss nun in den Chip übertragen werden.

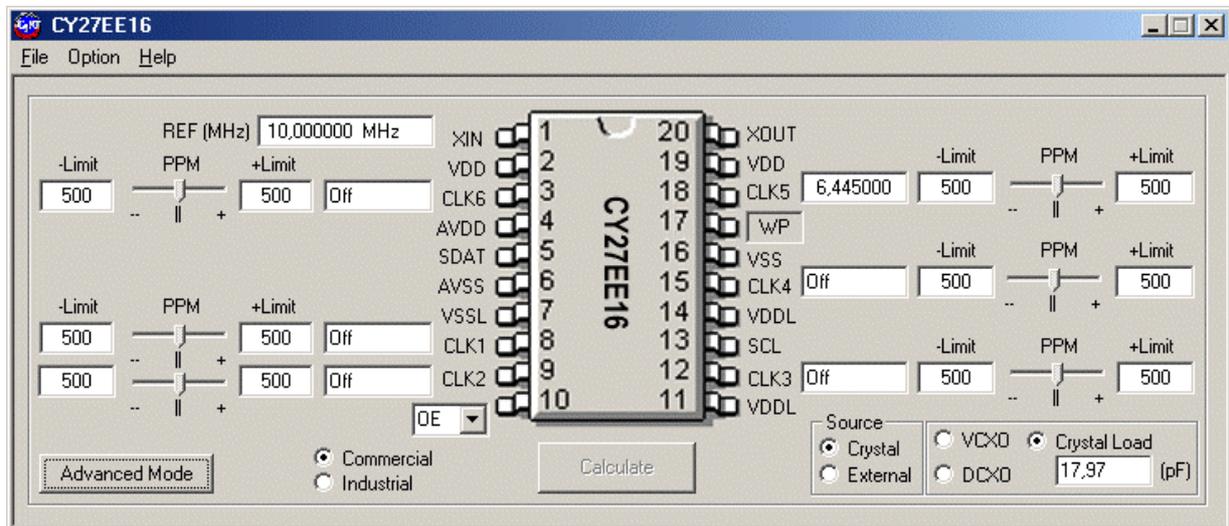


Bild 2 Frequenzeinstellung mit CyberClocks (Clock4.gif)

Datenübertragung mit Clock.exe

Das Programm Clock.exe schreibt Daten wahlweise in das interne EEPROM des CY27EE16 oder in sein RAM. Registerinhalte im RAM werden sofort wirksam, während nichtflüchtig im EEPROM abgelegte Einstellungen erst nach dem nächsten Neustart, also nach jedem Einschalten der Betriebsspannung in die RAM-Register übernommen werden. Dem Programm liegen einige Beispielfiles für verschiedene Frequenzen bei, wobei jeweils von einer Taktfrequenz von 10 MHz ausgegangen wird. Die Schaltflächen „upload EEPROM“ und „upload RAM“ übertragen Daten, die zuvor mit dem Programm CyberClocks von Cypress erzeugt und als Binärfile abgespeichert wurden.

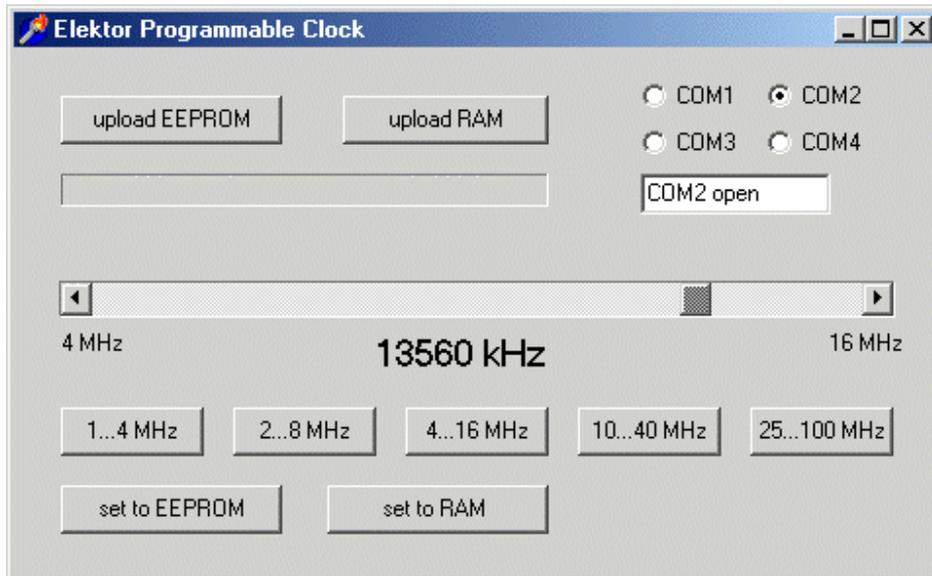


Bild 3 Das Programm Clock.exe ((Clock2,gif))

Im unteren Teil des Programmfensters findet man Steuerelemente für die direkte Einstellung der Frequenz ohne Umweg über CyberClocks. Voraussetzungen sind ein 10-MHz-Quarz und ein zuvor geladenes Sample-Files mit der Einstellung des gewünschten Ausgangs. Clock.exe verändert dann nicht alle Register, sondern programmiert nur die PLL und den Ausgangsteiler DIV1N neu. Hier wird jeweils der gesamte PLL-Bereich von 100 MHz bis 400 MHz im kleinsten möglichen Kanalaraster von 250 kHz verwendet. Die unterschiedlichen Ausgangsfrequenzbereiche entstehen durch den Nachteiler. Damit ergeben sich folgende Schrittweiten der Ausgangsfrequenz:

- 1...4 MHz: 2,5 kHz
- 2...8 MHz: 5 kHz
- 4...16 MHz: 10 kHz
- 10...40 kHz: 25 kHz
- 25...100 MHz: 62,5 kHz

Mehrere Taktgänge gleichzeitig

Wer mehr als eine Ausgangsfrequenz benötigt, kann mit Hilfe von Cyberclock bis zu sechs Ausgänge verwenden. Dazu muss man die hardwarebedingten Einschränkungen kennen. Es gibt zwei Teilerblöcke, die jeweils an den Ausgang der PLL oder an den internen Quarzoszillator gelegt werden. Jeder Teilerblock enthält einen frei programmierbaren 7-Bit-Teiler und zwei Teiler mit fest verdrahteten Teilverhältnissen. Eine eingestellte PLL-Frequenz könnte daher z.B. durch 127, durch 2 und durch 3 geteilt an drei Ausgängen erscheinen. Der andere Teilerblock könnte dann z.B. die Quarzfrequenz selbst herunterteilen.

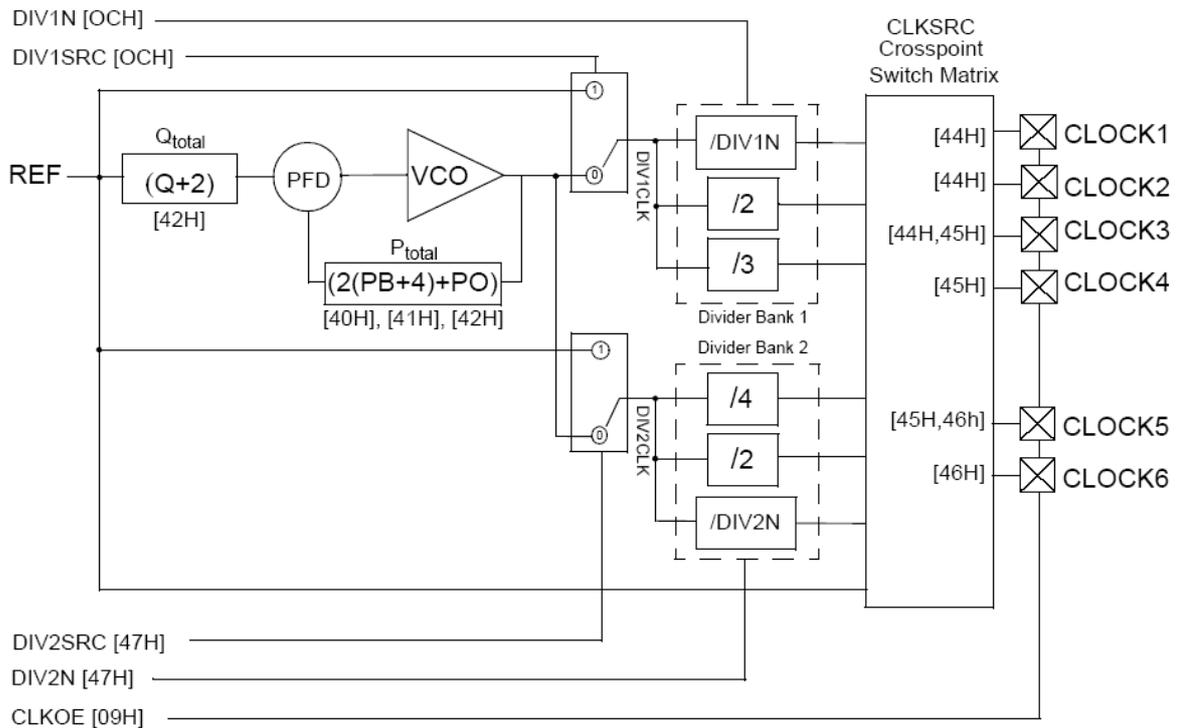


Bild 4 Programmierbare Teiler und ihre Register ((Clock3.gif))

Für HF-Anwendungen werden oft mehrere Oszillatorsignale benötigt. Auch mit nur einer PLL im CY27EE16 kann man mehrere benötigte Frequenzen erzeugen, wenn man einen passenden Quarz wählt. Bild 5 zeigt ein Beispiel für die Erzeugung von zwei Oszillatorsignalen für einen DRM-Empfänger. Hier wird der zweite Oszillator mit der Wunschfrequenz durch Herunterteilen der Quarzfrequenz erzeugt. Mit einem Standardquarz von 8,867238 MHz ergibt sich die gewünschte Frequenz 467 kHz mit einer Abweichung von rund 300 Hz, wenn man durch 19 teilt. Der erste Oszillator verwendet die PLL und erreicht die Wunschfrequenz 6550 kHz mit einer Abweichung von nur 16 Hz.

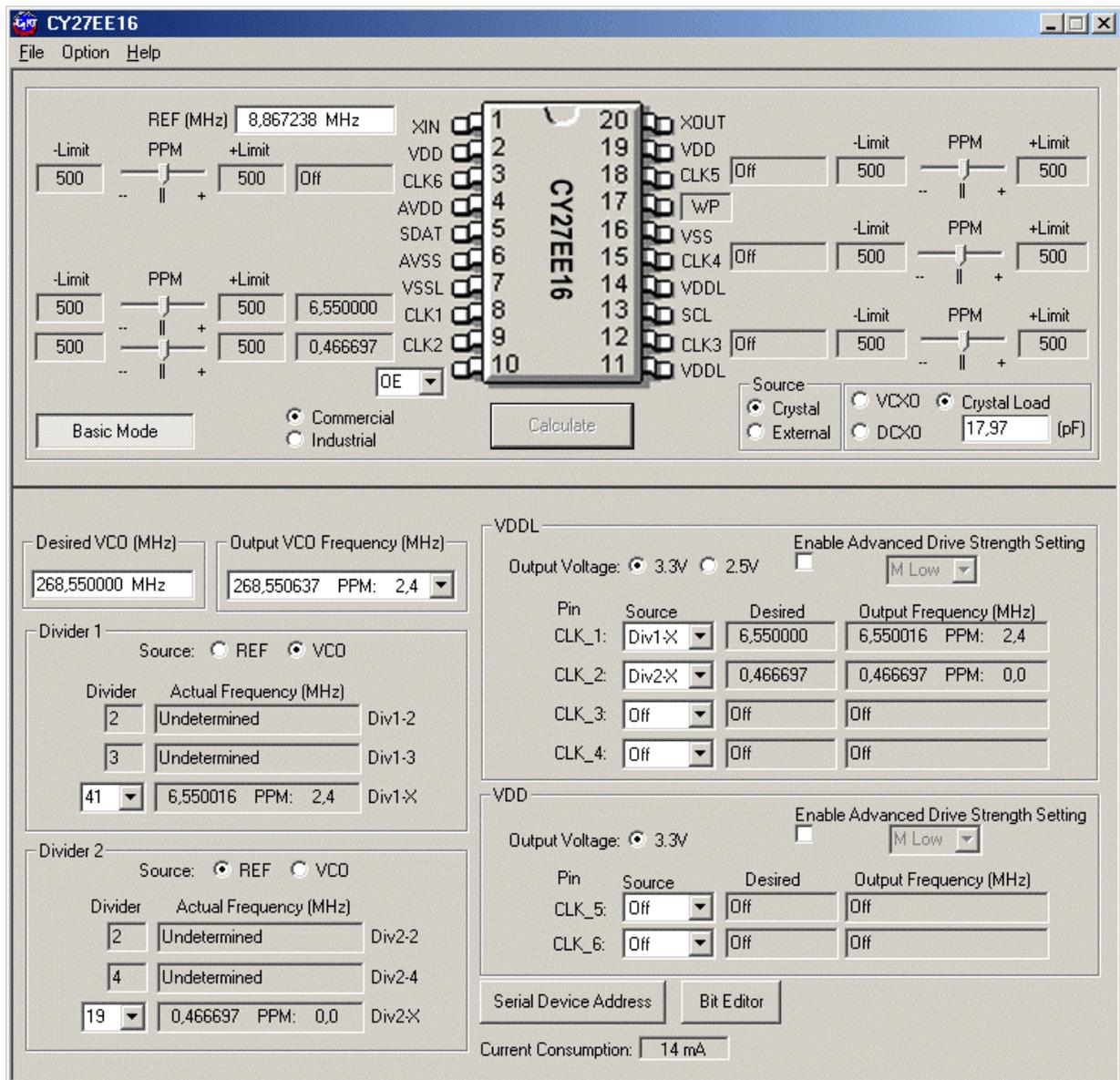


Bild 5 Einstellungen im Advanced Mode

Mit Cyberclock kann ein Feinabgleich der Quarzfrequenz durchgeführt werden. Die Bürdekapazität lässt sich im Bereich 7,8 pF bis 32 pF mit einer Auflösung von ca. 0,1 pF einstellen

Stückliste

Widerstände:

R1 = 180Ω

R2 = 110Ω

R3, R4 = 4,7 kΩ

Alle Widerstände 1/8 W

Kondensatoren:

C1...C4 = 100 nF keramisch

Halbleiter:

IC1 = CY27EE15ZE

IC2 = LM317LZ, TO92

D1, D2 = Zenerdiode ZF 4,7

Außerdem:

Platine 040361-1

Quarzsockel

Quarz 10,0 MHz

Pfostenwanne 10-polig

Flachbandkabel 10-polig mit Pfostenbuchse und DB9-Buchse

